

开关电源印刷电路板 EMC 辅助设计的软件方法

吴昕 钱照明 浙江大学电机工程系 (杭州 310027)

庞敏熙 李俊明 香港大学电机电子工程系

摘要:本文提出了一种基于电场分析的开关电源印刷电路板 EMC 辅助设计的软件设计思想,即以干扰源的干扰分布图做为指导,以耦合系数为参考及时调整布线设计。文章最后给出了试验验证。

叙词:EMC 布线 干扰 耦合

1 前言

减小电子设备的 EMI,印刷电路板 (PCB) 的设计是个关键。有经验的工程师都知道一种好的布线方案可以在不修改电路拓扑和增加任何元件的情况下降低干扰水平。但目前 PCB 的设计在大多数情况下只是一种依赖于经验的尝试性设计过程,国外称之为“trial & error”设计方法,带有很大的盲目性。PCB 上主要的干扰耦合方式是传导干扰和近场干扰(包括电场干扰和磁场干扰),它们常常可以用杂散电阻、电容、电感来表示。PCB 的设计目标之一就是设法降低这些杂散参数,减小印刷线路之间不必要的干扰耦合。

许多的文献都列举了一些减小印刷线路间杂散参数的方法,但这些方法往往过于笼统,实际应用中很大程度上还是依赖于工程师的经验。目前也有使用数值技术来提取 PCB 杂散参数建立仿真模型的辅助设计软件包,虽然仿真结果能与测量结果吻合较好,但这类方法本质上是把 trial & error 设计方法从硬件平台移植到软件平台上,并不能指导工程师如何布线以减小线路间的杂散参数。毕竟这些方法都是从集中电路的角度去分析干扰的,而 EMI 本质上是个场的问题,故仍有相当的局限性。

2 基本原理

电场耦合上是由位移电流干扰所引起的,用 Maxwell 方程描述为:

$$\vec{j}(x, y, z, t) = \frac{\partial \vec{D}(x, y, z, t)}{\partial t} \quad (1)$$

表示变化的电场将产生位移电流,其中位移电流密度 $\vec{j}(x, y, z, t)$ 和电位移密度 $\vec{D}(x, y, z, t)$ 都是空间和时间的函数。根据经验,绝大多数开关电源产生的干扰都集中在 200MHz 以下,频率在 200MHz 以上的干扰其幅值已经很小了。而大多数 PCB 的几何尺寸都远小于 200MHz 电磁波的波长,可作准静态场近似。

在此条件下,场量可写成相互独立的空间量和时间量的乘积。故(1)式可写为:

$$\vec{j}(x, y, z, t) = \epsilon \nabla \varphi(x, y, z) \cdot \frac{\partial \varphi(t)}{\partial t} = \vec{\zeta}(x, y, z) \cdot \frac{\partial \varphi(t)}{\partial t} \quad (2)$$

其中 $\varphi(x, y, z)$ 是空间任意一点 (x, y, z) 电位 $\varphi(x, y, z, t)$ 的空间分量, $\varphi(t)$ 是该点电位的时间分量。 $\vec{\zeta}(x, y, z)$ 是该点位移电流密度 $\vec{j}(x, y, z, t)$ 的空间分量, $\frac{\partial \varphi(t)}{\partial t}$ 是其时间分量。在准静态场条件下,这些空间量和时间量之间是相互独立的。

要减小印刷线路间的电场干扰,可以通过降低时间分量 $\frac{\partial \varphi(t)}{\partial t}$ 和空间分量 $\vec{\zeta}(x, y, z)$ 来实现。延长开关元件的导通/关断时间可以减小 $\frac{\partial \varphi(t)}{\partial t}$,但这样会增大开关损耗,降低效率。另一个方法是减小 $\vec{\zeta}(x, y, z)$,可以通过选择合适的布线方案,把敏感线路放在 $|\vec{\zeta}(x, y, z)|$ 较小的地方来实现。

对开关电源来说,干扰源主要集中在与开关元件相连,电压变化率 dv/dt 相对较大的几根导线上^[2]。选择合适的布线方案首先要计算出干扰源的干扰强度 $|\vec{\zeta}(x, y, z)|$ 分布图。根据 $|\vec{\zeta}(x, y, z)|$ 分布的情况,把敏感线路放在 $|\vec{\zeta}(x, y, z)|$ 较小的地方,可以减小其受干扰的程度,这是我们用“场”的方法来布线的基本思想^[3]。

印刷导线间的干扰耦合水平不完全由相互位置决定,与导线的大小、形状也有关系。为了能够综合评价敏感导线与干扰导线之间的耦合程度,我们提出了一种新的评价参数—耦合系数 (Coupling Index),如式(4)所示。

$$F = \sum_{n=1}^N |\vec{\zeta}(n)| \cdot \Delta A(n) \quad (4)$$

其基本思想是把敏感导线细分为 N 个网格, $|\vec{\zeta}(n)|$ 是第 n 个网格的位移电流密度的大小, $\Delta A(n)$ 是第 n 个网格的面积。把所有网格的 $|\vec{\zeta}(n)|$ 与 $\Delta A(n)$ 的乘积相加,之和做为耦合系数评

价敏感导线与干扰导线之间的耦合程度。与电容的计算相比,耦合系数的计算非常简单,只占用很少的计算机资源,工程师可以根据实时的耦合系数计算结果及时调整布线方案,改进设计。而不用等整块 PCB 设计完成,再用软件包提取杂散参数以建立仿真模型,输入仿真软件包,仿真结果不行再回头修改设计。

表 1 列出了九种不同的布线设计,分别给出了相应的耦合系数和电容值计算结果。比较这些结果可以发现,印刷导线的大小、形状和相对位置都会影响它们之间的耦合系数和电容值。为了更清楚地反映两者的关系,把耦合系数和电容值绘入同一张图中并进行线性回归分析,如图 1 所示。其相关系数为 0.98,表明耦合系数能够很好地反映导线间的耦合程度。工程师依据耦合系数进行布线是可行的。

表 1 不同的布线设计下的耦合系数和电容值

序号	干扰导线和敏感导线	耦合系数	电容值(pF)
No.1		571.05	8.30×10^{-3}
No.2		482.28	6.58×10^{-3}
No.3		103.31	1.68×10^{-3}
No.4		1535.7	36.5×10^{-3}
No.5		776.35	11.3×10^{-3}
No.6		572.01	8.45×10^{-3}
No.7		1432.9	29.0×10^{-3}
No.8		1003.5	21.0×10^{-3}
No.9		1003.6	21.0×10^{-3}

3 试验验证

图 2 的试验装置用来进一步证实这个思想。印刷导线经屏蔽电缆与信号发生器 HP8110A 相连,馈入 10V、200kHz 的脉冲干扰信号做为干扰源。敏感导线如表 1 中 No.5 或 No.7 所示布置,经屏蔽电缆与频谱分析仪 HP8590L 相连测量干扰信号。整个装置放入屏蔽盒图 3 是表 1 中 No.5 布线方案的设计尺寸和测量结果,图 4 是表 1 中 No.7 布线方案的尺寸和测量结果。比

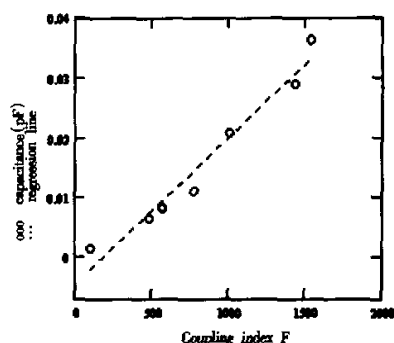


图 1 耦合系数与电容的关系

较表 1 中 No.5 的耦合系数 776.35 和 No.7 的耦合系数 1432.9 就知道 No.7 中的敏感导线要比 No.5 中的敏感导线接收到更多的干扰,图 3(b)、图 4(b) 的实验结果证实了这一点。

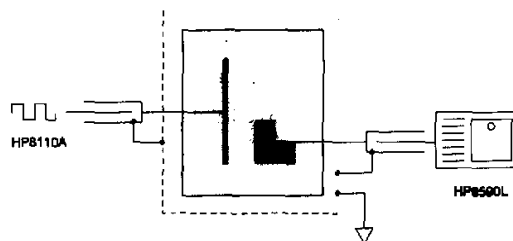
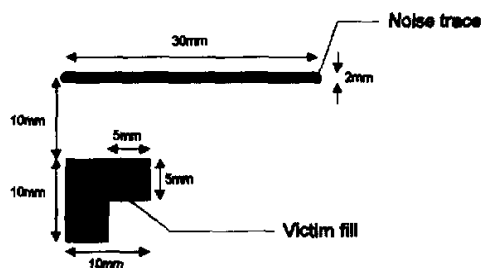
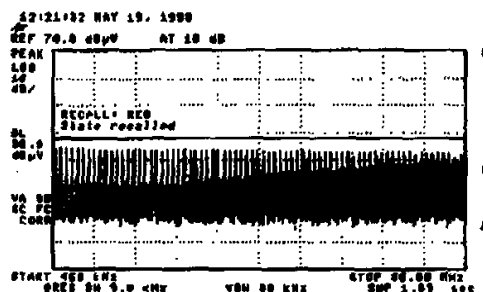


图 2 试验布置图

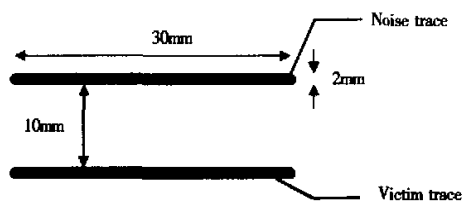


(a) 布线尺寸

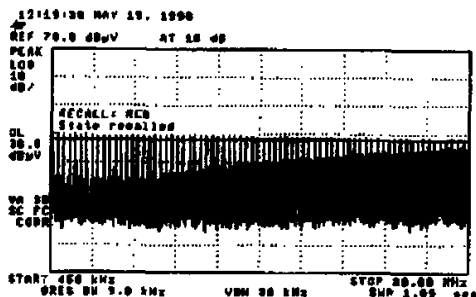


(b) 受扰信号频谱

图 3 No.5 布线的尺寸和干扰测量结果



(a) 布线尺寸



(b) 受扰信号频谱

图4 No.7号布线的尺寸和干扰测量结果

4 软件框架

软件设计的最初思想是想摆脱 PCB 的“trial & error”传统设计方法,希望软件能在 PCB 设计过程中就给出必要的干扰分布信息,帮助工程师在 PCB 设计的早期阶段就把干扰抑制在尽可能低的水平。

设计工作主要包括两大步骤:初步辅助设计和仿真验证设计。在初步设计阶段,计算机首先根据电路中各节点的 dv/dt 的大小识别干扰源,计算干扰源的干扰分布图并显示在屏幕上供工程师参考。工程师根据干扰分布图把敏感线路放在干扰较弱的区域,这样可以降低敏感线路的受扰程度^[3]。同时可以根据实时的耦合系数计算值及时地调整敏感线路的大小、形状,在 PCB 设计的初期阶段就尽量把干扰耦合降低。整块 PCB 设计完成后,进入仿真设计阶段。利用有限元技术提取 PCB 的杂散参数,建立分布参数等效电路,放入电路仿真软件包 PSpice 或 Saber,可以计算出可能的干扰水平,与 EMC 标准规定的干扰容许限值比较。整个软件设计框图如图 5 所示。

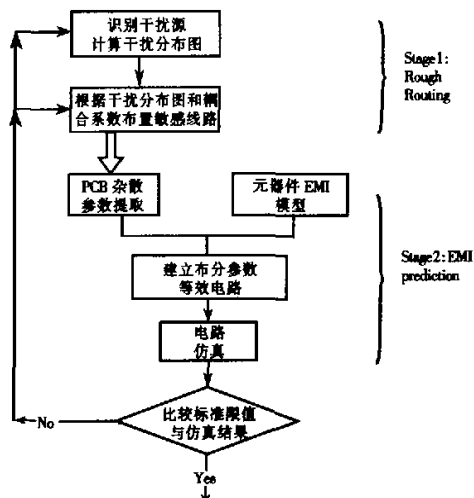


图5 PCB 辅助 EMC 设计软件框图

5 结论

印刷电路板的杂散参数对开关电源的 EMC 有很大的影响,合适的布线对减小印刷线路间的干扰非常关键。根据干扰强度分布图进行 PCB 的布线设计,工程师可以把敏感的线路放在干扰较弱的区域。精确的杂散电容计算需要很长的计算时间,而耦合系数可以实时地显示导线间的耦合程度,大大缩短了计算时间,辅助布线设计。计算和实验结果都证实了这一点。新的软件辅助设计思想为印刷电路板的设计提供了新思路。

参考文献

- [1] L.B.Gravelle and P.F.Wilson, EMI/EMC in Print Circuit Board - A Literature Review, IEEE Trans. on Electromagnetic Compatibility, vol.34, No.2, May 1992
- [2] M.H.Pong, C.M.Lee and X. Wu, EMI Due to Electric Field Coupling on PCB, IEEE PESC'98
- [3] Wu Xin, M.H.Pong, etc., Reduction of EMI by Electric Field Method, IEEE APEC'99